

5000 to 5000 535,706

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



20 MAY 2005



(43) 国際公開日  
2004 年 6 月 10 日 (10.06.2004)

PCT

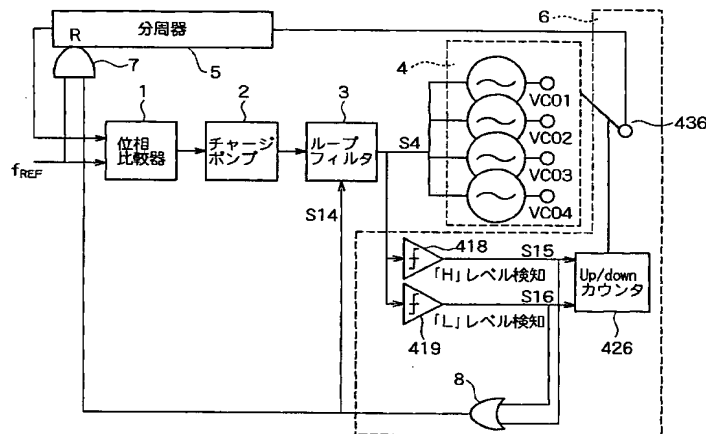
(10) 国際公開番号  
WO 2004/049575 A1

- (51) 国際特許分類<sup>7</sup>: H03L 7/10, 7/199, 7/18 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/014887 (75) 発明者/出願人 (米国についてのみ): 前多 正  
(22) 国際出願日: 2003 年 11 月 21 日 (21.11.2003) (MAEDA, Tadashi) [JP/JP]; 〒108-8001 東京都港区芝  
(25) 国際出願の言語: 日本語 五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 松  
(26) 国際公開の言語: 日本語 野 典朗 (MATSUNO, Noriaki) [JP/JP]; 〒108-8001 東  
(30) 優先権データ: 特願 2002-339395 京都 港区 芝五丁目 7 番 1 号 日本電気株式  
2002 年 11 月 22 日 (22.11.2002) JP 会社内 Tokyo (JP). 沼田 圭市 (NUMATA, Keiichi) [JP/JP]; 〒  
(71) 出願人 (米国を除く全ての指定国について): 日本電気 108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式  
株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 会社内 Tokyo (JP).  
(74) 代理人: 藤巻 正憲 (FUJIMAKI, Masanori); 〒100-0011  
東京都千代田区内幸町二丁目 2 番 2 号 富国生命ビ  
ル 5 階 Tokyo (JP).  
(81) 指定国 (国内): CN, US.

[続葉有]

(54) Title: PLL CIRCUIT

(54) 発明の名称: PLL 回路



5...FREQUENCY DIVIDER  
1...PHASE COMPARATOR  
2...CHARGE PUMP  
3...LOOP FILTER  
S15... "H" LEVEL DETECTION  
S16... "L" LEVEL DETECTION  
426...Up/down COUNTER

(57) Abstract: There are provided a phase comparator for comparing the phase of an internal signal with that of a reference signal to output, in accordance with the phase difference therebetween, a phase difference signal; a voltage controlled oscillator group including a plurality of oscillators that have different variable frequency ranges and that are controlled in oscillation frequency by a phase control signal; a selector circuit for selecting, based on a phase difference signal or a phase control signal, one of the outputs of the plurality of oscillators; and a frequency divider for frequency-dividing the output of an oscillator selected by the selector circuit to produce an internal signal. When the selection of the oscillators is changed, the phase of the output of the frequency divider is caused to get close to that of the reference signal. This allows a voltage controlled oscillator required in accordance with a desired oscillation frequency to be selected in a short time.

(57) 要約: 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器からなる電圧制御発振器群と、位相差信号又は位相制御信号に基づいて複数の発振器の出力のうちの 1 つを選択するための選択回路と、選択回路にて選択された発振器の出力を分周することにより内部信号を生成するための分周器とを有し、発振器の選択状態

[続葉有]

WO 2004/049575 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

が変化する際に、分周器の出力位相を基準信号の位相に近づける。これにより、所望の発振周波数に応じて必要となる電圧制御発振器を短時間で選択することができる。

## 明 細 書

## P L L 回路

## 5 技術分野

本発明は、電圧制御発振器を内蔵した P L L (Phase Locked Loop) 回路に関し、特に、広い発振周波数帯域を必要とする P L L 回路に関する。

## 背景技術

近年の移動通信システムの多様化に伴い、一台の移動通信端末で様々な方式の  
10 送受信を行うことが要求されてきているが、通常、異なる移動通信システムは異なる周波数帯を用いるため、このようなマルチモード端末には複数の周波数帯での送受信機能、いわゆるマルチバンド無線機能が要求される。

マルチバンド無線機に使用される周波数シンセサイザは、マルチバンド化に対応した様々な周波数帯のローカル信号を生成することが必要である。例えば、  
15 9 0 0 M H z 帯を用いる G S M (global system mobile communication)、1 8 0 0 M H z 帯を用いる D C S (digital cellular system)、1 9 0 0 M H z 帯を用いる P C S (personal communication services)、2 G H z 帯を用いる U M T S (universal mobile telecommunication system) 等の方式が世界の広い範囲で利用されており、これらの全ての周波数帯で使用可能な 4 バンド無線機の開発  
20 が望まれている。

このような 4 バンド無線機に対応した周波数シンセサイザを実現する場合、G S M 送信用、G S M 受信用、D C S 送信用、D C S 受信用、P C S 送信用、P C S 受信用／U M T S 送信用及び U M T S 受信用の各単位シンセサイザを用意する必要がある。P C S の受信周波数と U M T S の送信周波数は帯域がほぼ一致して  
25 いるため、1 つのシンセサイザで兼用が可能であるが、これは特殊な場合であって、基本的には必要な複数の周波数帯域にそれぞれ対応した個数の単位シンセサ

イザを用意することになる。従って、バンド数が多くなると、それに比例して単位シンセサイザの個数が増し、ハードウェアの規模が膨大なものになってしまう。

このような問題を解決する方法として、発振器の変調感度を高め、発振器そのものの可変範囲を拡大する方法が考えられるが、この場合、チップの外部及び内部の雑音等により局部発振器の周波数が変動してしまうという問題がある。

また、2つの単位シンセサイザに分周器と乗算のためのミキサからなる演算回路を組み合わせた小規模の回路構成によって、単位シンセサイザの個数よりも多い複数の周波数帯域の信号を生成する構成がある。しかしながら、複合する通信方式の全てに対応できるわけではなく、結果的にシンセサイザの数が多くなってしまいうという欠点がある。

そこで、異なる制御電圧—発振周波数特性を有する電圧制御発振器を複数個用いて、得るべき希望の発振周波数に応じて外部信号により電圧制御発振器を選択する方法が提案されている。

この方法では、複数の電圧制御発振器がそれぞれ異なる周波数範囲を受け持つので、各々の電圧制御発振器の周波数可変範囲は狭いものの全体では広い周波数範囲となる。各々の電圧制御発振器の周波数可変範囲が狭いため、各々の電圧制御発振器の変調感度は小さくて済み、シンセサイザを安定に動作させることが可能となる。

図10は、複数の電圧制御発振器を外部信号により選択し、クロックを発生する4通倍回路の一構成例を示す図である。

本従来例は図10に示すように、位相比較器1と、チャージポンプ2と、ループフィルタ3と、異なる制御電圧—発振周波数特性を有する4個の電圧制御発振器からなる電圧制御発振器群4と、選択回路6と、分周器5と、NチャネルMOSトランジスタNM5と、抵抗Rとを有するPLL回路からなる4通倍回路であって、選択回路6の出力信号S14が高電位(H)のとき、NチャネルMOSトランジスタNM5がオンして抵抗RとMOSトランジスタNM5とからなる直列

接続回路により、ループフィルタ 3 の出力信号 S 4 の電流が引き抜かれ、信号 S 4 のラインの電位が後記する基準電圧  $V_{ref1}$  と  $V_{ref2}$  との間の範囲内の電圧に設定される（特開平 9 - 2 1 4 3 3 5 号公報参照。）。

以下に、上記のように構成された 4 逓倍回路の動作について説明する。

5      位相比較器 1 は、基準信号 CK 1 と内部信号 CK 2 とを比較した結果に基づいて、出力信号 S 1, S 2 を発生する。信号 S 1 は、基準信号 CK 1 の内部信号 CK 2 に対する位相の進み量を示す信号であり、信号 S 2 は、内部信号 CK 2 の基準信号 CK 1 に対する位相の進み量を示す信号であり、これらの信号 S 1, S 2 はチャージポンプ 2 に入力される。

10      チャージポンプ 2 の出力信号 S 3 は、ループフィルタ 3 に入力されて、ループフィルタ 3 にて高周波成分が除去された後、電圧制御発振器群 4 の制御電圧 S 4 として、電圧制御発振器群 4 に入力される。

電圧制御発振器群 4 においては、電圧制御発振器群 4 内の 4 個の電圧制御発振器から 1 個の電圧制御発振器が選択されるために、選択回路 6 にて生成された信号 S 1 0 ~ S 1 3 が入力される。電圧制御発振器群 4 の出力信号 CK 3 は分周器 5 で 4 分周され、内部信号 CK 2 となる。

15

本従来例においては、信号 CK 1 と信号 CK 2 との周波数及び位相が一致するように動作したときにロックして、電圧制御発振器群 4 から得られる信号 CK 3 の周波数が基準信号 CK 1 の 4 倍となる。

20      図 1 1 は、図 1 0 に示した選択回路 6 の構成を示すブロック図である。

選択回路 6 の出力信号 S 1 0 ~ S 1 3 が変化した場合、出力信号 S 1 4 が一定時間高電位 (H) となり、それにより、信号 S 4 の電位が、閾値電圧  $V_{ref1}$  と  $V_{ref2}$  ( $V_{ref2} > V_{ref1}$ ) との間の範囲内となるように設定される。

選択回路 6 には、閾値電圧  $V_{ref1}$  をもつ電圧比較器 4 1 8 と、閾値電圧  $V_{ref2}$  をもつ電圧比較器 4 1 9 とが設けられている。電圧比較器 4 1 8 においては、入力される制御信号 S 4 の電圧が閾値電圧  $V_{ref1}$  よりも低い場合に出力信

25

号 S 1 5 が高電位 (H) に設定され、また、制御信号 S 4 の電圧が閾値電圧  $V_{ref1}$  よりも高い場合に出力信号 S 1 5 が低電位 (L) に設定される。また、電圧比較器 4 1 9 においては、入力される制御信号 S 4 の電圧が閾値電圧  $V_{ref2}$  よりも低い場合に出力信号 S 1 6 が高電位 (H) に設定され、また、制御信号 S 4 の電圧が閾値電圧  $V_{ref2}$  よりも高い場合に出力信号 S 1 6 が低電位 (L) に設定される。

また、信号 S 1 5, S 1 6 とともに低電位 (L) の場合に信号 S 1 7 を高電位 (H) にし、その他の場合に低電位 (L) に設定する NOR ゲート 4 2 0 と、信号 S 1 5, S 1 6 とともに高電位 (H) の場合に信号 S 1 8 を高電位 (H) に設定し、その他の場合に低電位 (L) に設定する AND ゲート 4 2 1 と、2 ビットアップカウンタ 4 2 2, 4 2 3 と、カウンタ 4 2 2 の出力カウント値 S 1 9 からカウンタ 4 2 3 の出力カウント値 S 2 0 を減算する減算器 4 2 4 と、減算器 4 2 4 から入力されるカウント値 S 2 1 に応じて出力信号 S 1 0 ~ S 1 3 の内のどれか 1 つのみを高電位 (H) に設定するデコーダ 4 2 5 とが設けられている。

このような動作特性を有する選択回路 6 によって、異なる制御電圧-発振周波数特性を有する 4 個の電圧制御発振器の内から、基準信号 CK 1 の周波数の 4 倍の周波数に応じた 1 個の電圧制御発振器が自動的に選択されることになる。

さらに、選択回路 6 によって選択状態が変化した場合、信号 S 1 4 が一時的に高電位 (H) になって、強制的に信号 S 4 の電位が図 1 2 に示す閾値電圧  $V_{ref1}$  よりも高く、かつ閾値電圧  $V_{ref2}$  によりも低い値に設定されるため、NOR ゲート 4 2 0 及び AND ゲート 4 2 1 の出力が一旦低電位 (L) に復帰し、それにより、異なる制御電圧-発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止できる。

図 1 2 は、図 1 0 に示した電圧制御発振器群 4 の制信信号 S 4 の電圧に対する発振周波数特性を示す特性図である。なお、周波数  $f_1 \sim f_8$  は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$  の関係にある。

まず、所望の発振周波数、つまり位相比較器 1 に入力される基準信号 CK 1 の周波数の 4 倍の周波数  $f_{osc}$  が、 $f_1 < f_{osc} < f_2$  の場合について説明する。

図 1 2 に示した特性 D のみでロックする場合、すなわち、制御信号 S 4 の電圧が閾値電圧  $V_{ref1}$  と閾値電圧  $V_{ref2}$  との間の範囲から外れない場合は、NOR ゲート 4 2 0、AND ゲート 4 2 1 の出力信号 S 1 7, S 1 8 が高電位 (H) になることはなく、そのため、カウンタ 4 2 2, 4 2 3 がカウント動作することはない、選択回路 6 の出力信号 S 1 0 ~ S 1 3 の状態が初期状態から変化しない。

また、図 1 2 に示した特性 C へ遷移し、さらに特性 B へ遷移して、最終的にロックされる場合には次のような動作となる。

- 10 特性 D において制御電圧 S 4 が閾値電圧  $V_{ref2}$  を越えると、NOR ゲート 4 2 0 の出力信号 S 1 7 が高電位 (H) となり、カウンタ 4 2 2 の出力値 S 1 9 及び減算器 4 2 4 の出力値 S 2 1 が 1 だけアップし、それにより、デコーダ 4 2 5 では出力信号 S 1 3 のみが高電位 (H) の状態から低電位 (L) の状態に切り替わり、また、出力信号 S 1 2 のみが低電位 (L) の状態から高電位 (H) の状態  
15 に切り替わり、特性 C に遷移する。

この切り替わり時、信号 S 1 4 が一時的に高電位 (H) となって、制御信号 S 4 が閾値電圧  $V_{ref1}$  と閾値電圧  $V_{ref2}$  との間の範囲の電圧に一時的に復帰するので、NOR ゲート 4 2 0 の出力信号 S 1 7 が高電位 (H) から低電位 (L) に変化する。

- 20 このようにして特性 C による PLL 制御が行なわれても、依然として基準信号の 4 倍の周波数に対して内部信号の周波数が低いので、制御電圧 S 4 が再び閾値電圧  $V_{ref2}$  を越え、選択回路 6 が上述した動作を繰り返し、特性 B に遷移する。この時点で、電圧制御発振器群 4 からは、基準信号 CK 1 とほぼ同じ周波数が出力されている状態であるが、分周器 5 の位相が短時間で変化しないため、位相比較器 1 は、依然として内部信号の周波数を高く設定するように動作し、結果的に、  
25 制御電圧 S 4 が再び閾値電圧  $V_{ref2}$  を越え、選択回路 6 が上述した動作を繰り返す。

返し、特性Aに遷移する。

その結果、電圧制御発振器群4の周波数が基準信号に比較して高くなって、分周器5の位相が基準信号より進んでしまい、それにより、制御電圧S4が閾値電圧Vref1を下回り、選択回路6により特性Bに再び遷移するようになる。

5 この後、2つの周波数が等しくなり、最終的に特性Bでロックする。

しかしながら、上述したように、異なる制御電圧－発振周波数特性を有する複数個の電圧制御発振器を用いて、所望の発振周波数に応じて電圧制御発振器を選択する場合においては、広帯域なPLL回路を実現することはできるものの、好適な電圧制御発振器が選択されても、分周器の位相が短時間で変化しないために、  
10 位相比較器の出力が周波数変化に十分追従せず、結果的に最適な発振器が選択されるまでに非常に長い時間が必要となってしまう問題がある。

位相は周波数の積分であるため、最適な発振器が選択されて、基準信号と同一の周波数を有する内部信号が位相比較器に入力されたとしても、位相比較器の出力がロック状態になるまでに多大な時間がかかり、すぐにロック状態にならない。

15

#### 発明の開示

本発明の目的は、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いて、所望の発振周波数に応じて必要となる電圧制御発振器を短時間で選択することができるPLL回路を提供することにある。

20 上記目的を達成するために本発明は、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器と、前記位相差信号又は前記位相制御信号に基づいて前記複数の発振器の出力のうちの1つを選択するための選択手段と、前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、  
25



前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

また、前記複数の発振器は、周波数可変範囲が互いに重なり合うことを特徴とする。

- 5 更に、前記複数の発振器は、動作閾値電圧値が互いに異なることを特徴とする。

更にまた、前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記複数の発振器の出力の切り替えを行なうことを特徴とする。

更にまた、前記発振器は、電圧制御発振器であり、前記位相差信号を電圧値に変換する手段を有することを特徴とする。

- 10 また、前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記電圧制御発振器の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

- また、前記電圧制御発振器の選択状態が変化する際の履歴に応じて、一時的に  
15 設定する前記位相制御電圧の値を変更する手段を有することを特徴とする。

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 20 また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 25 また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいか、あるいは前記2つ

の閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

また、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

互いに異なる共振周波数を具備する複数の共振回路と、

前記共振回路と位相制御信号とに従って発振周波数が制御される発振器と、

前記位相差信号又は前記位相制御信号に基づいて前記複数の共振回路のうちの1つを選択するための選択手段と、

10 前記発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記共振回路の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

また、前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記複数の共振回路の切り替えを行なうことを特徴とする。

また、前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とする。

また、前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記共振回路の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

また、前記共振回路の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする。

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に

設定することを特徴とする。

また、前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合であって、前記位相制御電圧が 2 回以上連続して前記 2 つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

また、前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記 2 つの閾値電圧よりも大きいのか、あるいは前記 2 つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記 2 つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

また、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

各々位相制御信号に従って遅延時間が制御される複数の遅延回路が連結されて構成された発振器と、

前記位相差信号又は前記位相制御信号に基づいて前記遅延回路の連結数を切り換える選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

また、前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記遅延回路の連結数の切り替えを行なうことを特徴とする。

また、前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とする。

また、前記位相制御電圧の可変電圧範囲内に値が互いに異なる 2 つの閾値電圧

を設定し、前記遅延回路の連結数の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

- 5 また、前記遅延回路の連結数の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする。

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 10 また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 15 また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

- 20 また、前記分周手段の出力位相を、前記基準信号の位相と同期させることを特徴とする。

上記のように構成された本発明においては、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御

25 される複数の発振器と、位相差信号又は位相制御信号に基づいて複数の発振器の出力のうちの1つを選択するための選択手段と、選択手段にて選択された発振器

の出力を分周することにより内部信号を生成するための分周手段とからなり、発振器の選択状態が変化する際に、分周器の出力位相が基準信号の位相に近づけられるので、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いたPLL回路において、所望の発振周波数に応じて必要となる電圧制御発振器が短時間で選択されることになる。

従って、本発明においては、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いて広帯域のPLL回路を実現する際に、希望する発振周波数に応じて自動的に必要となる電圧制御発振器を極めて短時間で選択できるため、複数の無線方式を切り替え使用するシステムで、周波数設定時間が非常に長くなることを避けることが可能となり、このようなシステムに好適である。

#### 図面の簡単な説明

図1は本発明のPLL回路の第1の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

図2は図1に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

図3は本発明のPLL回路の第2の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

図4は図3に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

図5は図3に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

図6は本発明のPLL回路の第3の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

図7は本発明のPLL回路の第4の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

図 8 は本発明の PLL 回路の第 5 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。

図 9 は本発明の PLL 回路の第 6 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。

5 図 10 は複数個の電圧制御発振器を外部信号により選択し、クロックを発生する 4 通倍回路の一構成例を示す図である。

図 11 は図 10 に示した選択回路の構成を示すブロック図である。

図 12 は図 10 に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

10

発明を実施するための最良の形態

(第 1 の実施の形態)

図 1 は、本発明の PLL 回路の第 1 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。なお、図 1 において、図 10 に示した構成物と同一のものには同一の符号を付して、詳しい説明は省略する。

15

図 1 に示すように本形態においては、さらに、第 1 の入力基準信号であって、また、第 2 の入力選択回路 6 からの信号である 2 入力 AND 回路 7 が設けられており、その出力は分周器 5 のリセット端子に入力され、この信号により分周器出力と基準信号との位相が同期される。

20

また、選択回路 6 の内部には、閾値電圧  $V_{ref1}$  をもつ電圧比較器 418 と、閾値電圧  $V_{ref2}$  ( $> V_{ref1}$ ) をもつ電圧比較器 419 とが設けられている。一方の電圧比較器 418 においては、入力される制御信号 S4 の電圧が閾値電圧  $V_{ref1}$  よりも低い場合に、出力信号 S15 が一定時間低電位 (L) 設定され、また、入力される制御信号 S4 の電圧が閾値電圧  $V_{ref1}$  よりも高い場合に、出力

25

信号 S15 が一定時間高電位 (H) に設定される。また、他方の電圧比較器 419 においては、入力される制御信号 S4 の電圧が閾値電圧  $V_{ref2}$  よりも低い場

合に、出力信号 S 1 6 が一定時間高電位 (H) に設定され、また、入力される制御信号 S 4 の電圧が閾値電圧  $V_{ref2}$  よりも高い場合に、出力信号 S 1 6 が一定時間低電位 (L) に設定される。

電圧比較器 4 1 8, 4 1 9 の出力 S 1 5 及び S 1 6 は、アップダウンカウンタ 4 2 6 に入力され、その出力に応じて選択スイッチ 4 3 6 が切り替えられる。このような動作特性を有する選択回路 6 によって、制御信号 S 4 の電圧値に応じて異なる制御電圧—発振周波数特性を有する 4 個の電圧制御発振器の内から、基準信号 CK 1 の周波数の 4 倍の周波数に応じた 1 個の電圧制御発振器が自動的に選択されることになる。

さらに、選択回路 6 により選択状態が変化した場合、信号 S 1 4 が一時的に高電位 (H) になり、強制的にループフィルタ 3 の出力信号 S 4 の電位が図 2 に示す閾値電圧  $V_{ref1}$  よりも高く、かつ、閾値電圧  $V_{ref2}$  よりも低い値に設定されるため、電圧比較器 4 1 8, 4 1 9 の出力が一旦高電位 (H) に復帰する。さらに信号 S 1 4 と基準信号が入力される 2 入力 AND 回路 7 により、分周器 5 が、電圧制御発振器の選択状態の変化時点における一定期間リセットされ、それにより、基準信号と分周器 5 の出力位相とが同期される。これにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器 1 にて短時間で検出されることになり、異なる制御電圧—発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止できる。

以上説明したように、異なる制御電圧—発振周波数特性を有する 4 個の電圧制御発振器を含む半導体集積回路において、従来では電圧制御発振器の切り替え時の誤動作を防ぐためのループフィルタ 3 の出力信号 S 4 のみを強制的に制御していたが、本形態においては、分周器 5 の出力位相も強制的に基準信号と同期させることで好適な電圧制御発振器を極めて短時間で選択することが可能となる。

図 2 は、図 1 に示した電圧制御発振器群 4 の制信信号 S 4 の電圧に対する発振周波数特性を示す特性図である。なお、A~D は、各々 4 個の発振器の制御電圧

一発振周波数特性であり、周波数  $f_1 \sim f_8$  は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$  の関係にある。

まず、所望の発振周波数、つまり入力される基準信号  $CK_1$  の周波数の 4 倍の周波数  $f_{osc}$  が、 $f_1 < f_{osc} < f_2$  の場合について説明する。

5 図 2 に示した特性 D のみでロックする場合、すなわち、制御信号  $S_4$  の電圧が閾値電圧  $V_{ref1}$  と閾値電圧  $V_{ref2}$  との間の範囲から外れない場合は、電圧比較器 418, 419 の出力信号  $S_{15}$ ,  $S_{16}$  が低電位 (L) になることはなく、そのため、カウンタ 426 がカウント動作することはない、選択回路 6 の状態は初期状態から変化しない。

10 また、図 2 に示した特性 D から特性 C へ遷移し、さらに特性 B へ遷移して、最終的にロックされる場合には次のような動作となる。

特性 D において制御電圧  $S_4$  が閾値電圧  $V_{ref2}$  を越えると、電圧比較器 419 の出力信号  $S_{16}$  が一定時間低電位 (L) になり、それにより、カウンタ 426 が 1 だけアップカウント動作する。このカウンタ 426 の出力に応じて電圧制御発振器の選択状態が特性 D から特性 C へ遷移すると同時に、信号  $S_{14}$  が一時的に高電位 (H) となって、制御信号  $S_4$  が、閾値電圧  $V_{ref1}$  と閾値電圧  $V_{ref2}$  との間の範囲に一時的に復帰するので、出力信号  $S_{16}$  が電圧制御発振器の切り替え後に低電位 (L) に変化することを防いでいる。

さらに、信号  $S_{14}$  と基準信号が入力される 2 入力 AND 回路 7 により、分周器 5 が、電圧制御発振器の選択状態の変化時点における一定期間リセットされるので、基準信号と分周器 5 の出力位相とが同期され、それにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器 1 にて短時間で検出され、異なる制御電圧一発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止している。

25 このようにして特性 C による PLL 制御が行なわれても、依然として基準信号の 4 倍の周波数に対して内部信号の周波数が低いので、制御電圧  $S_4$  が再び閾値



電圧  $V_{ref2}$  を越え、選択回路 6 が上述した動作を繰り返し、特性 B に遷移する。この時点で、電圧制御発振器は基準信号とほぼ同じ周波数を出力している状態で、分周器 5 の位相もそれに応じた値となっているので、この後、2 つの周波数が等しくなり、最終的に特性 B でロックする。

- 5 逆に、例えば、現在特性 B にロックしている状態で所望の発振周波数  $f_{osc}$  を  $f_1 < f_{osc} < f_2$  にするべく基準信号  $CK_1$  の周波数を切り替えると、例えば、特性 B → 特性 C → 特性 D に切り替わり、最終的に特性 D にロックする。

(第 2 の実施の形態)

- 10 図 3 は、本発明の PLL 回路の第 2 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。なお、図 3 において、図 1 に示した構成物と同一のものには同一の符号を付して、詳しい説明は省略する。

- 15 図 3 に示すように本形態においては、第 1 の実施の形態にて示したものに、電圧比較器 418, 419 の出力を履歴カウンタ 427, 428 で記憶し、その履歴情報に基づいて、ループフィルタ 3 の出力電位を強制的に設定する電圧値を変える回路が付加されている。

- 20 本実施形態においては、選択回路 6 により選択状態が変化したとき、アップダウンカウンタ 426 へのアップ又はダウン信号が連続して入力された場合に、ループフィルタ 3 の出力値が、アップ信号が連続する場合は、閾値電圧  $V_{ref2}$  よりも低くその近傍に設定され、また、ダウン信号が連続する場合は閾値電圧  $V_{ref1}$  よりも高くその近傍に強制的に設定される。

履歴カウンタ 427, 428 は、例えば各々 2 ビットのシフトレジスタで構成され、その出力は各々 2 入力 AND 回路 429, 430 及び 2 入力 EXOR 回路 431, 432 に入力される。

- 25 アップ信号が 2 回以上連続して入力された場合には、アップ履歴カウンタ 427 の 2 ビットの出力は同じ値を出力するので、AND 回路 429 の出力が高電位 (H) となり、それにより、ループフィルタ 3 の出力  $S_4$  は、閾値電圧  $V_{ref2}$

よりは低くその近傍に強制的に設定される。

一方、ダウン信号が2回以上連続して入力された場合には、ダウン履歴カウンタ428の2ビットの出力は同じ値を出力するので、AND回路430の出力が高電位(H)となり、それにより、ループフィルタ3の出力S4は、閾値電圧V<sub>ref1</sub>より高くその近傍に強制的に設定される。

また、アップ信号もダウン信号も2回以上連続して入力されない場合には、2つのEXOR回路431, 432の出力が高電位(H)となり、その結果としてOR回路433の出力が高電位(H)で、ループフィルタ3の出力は閾値電圧V<sub>ref1</sub>とV<sub>ref2</sub>との中間に設定される。

10 これにより、広い周波数範囲をカバーするために選択される発振器の数を多く設計しても、最も周波数の低い特性から最も周波数の高い特性までの遷移時間を短縮できる。

さらに信号S14と基準信号が入力される2入力AND回路7により、分周器5が、電圧制御発振器の選択状態の変化時点における一定期間リセットされること  
15 とで、基準信号と分周器5の出力位相とが同期される。これにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器1にて短時間で検出されることになり、異なる制御電圧—発振周波数特性を有する電圧制御発振器群4の選択状態が、誤動作することを防止できる。

以上説明したように、異なる制御電圧—発振周波数特性を有する4個の電圧制御発振器を含む半導体集積回路において、従来では電圧制御発振器の切り替え時の誤動作を防ぐためにループフィルタ3の出力信号S4のみを強制的に1つの値に制御していたが、本形態においては、電圧制御発振器の切り替え履歴情報に基づいて、ループフィルタ3の出力電位を強制的に設定する電圧値を変える回路が  
20 付加され、しかも分周器5の出力位相も強制的に基準信号と同期させることで好適な電圧制御発振器が極めて短時間で選択することが可能となる。

図4は、図3に示した電圧制御発振器群4の制信信号S4の電圧に対する発振

周波数特性を示す特性図である。なお、A～Dは、各々4個の発振器の制御電圧－発振周波数特性であり、周波数 $f_1 \sim f_8$ は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$ の関係にある。

まず、所望の発振周波数、つまり入力される基準信号CK1の周波数の4倍の周波数 $f_{osc}$ が、 $f_1 < f_{osc} < f_2$ の場合について説明する。

図4に示した特性Dのみでロックする場合、すなわち、制御信号S4の電圧が閾値電圧Vref1と閾値電圧Vref2との間の範囲から外れない場合は、電圧比較器418、419の出力信号S15、S16が低電位(L)になることはなく、カウンタ426がカウント動作することはなく、選択回路の状態は初期状態から変化しない。

また、図4に示された特性Dから特性Cへ遷移し、さらに特性Bへ遷移して、最終的に特性Aにロックされる場合には次のような動作となる。

特性Dにおいて制御電圧S4が閾値電圧Vref2を越えると、電圧比較器419の出力信号S16が一定時間低電位(L)になり、それにより、カウンタ426が1だけアップカウント動作する。このカウンタの出力に応じて発振器の選択状態が特性Dから特性Cへ遷移すると同時に、信号S14が一時的に高電位(H)となって、制御信号S4が閾値電圧Vref1と閾値電圧Vref2の間の範囲の電圧に一時的に復帰するので、出力信号S16が電圧制御発振器の切り替え後に低電位(L)に変化することを防いでいる。

さらに、信号S14と基準信号が入力される2入力AND回路7により、分周器5が、電圧制御発振器の選択状態の変化時点における一定期間リセットされるので、基準信号と分周器5の出力位相が同期され、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器1にて短時間で検出され、異なる制御電圧－発振周波数特性を有する電圧制御発振器群4の選択状態が、誤動作することを防止している。

このようにして特性CによるPLL制御が行なわれても、依然として基準信号

の4倍の周波数に対して内部信号の周波数が低いので、制御電圧S4が再び閾値電圧Vref2を越える。この時、アップ履歴カウンタ427の2ビットの出力は同時に高電位(H)となるのでAND回路429の出力は高電位(H)となり、それにより、ループフィルタ3の出力S4は、閾値Vref2よりも低くその近傍に強制的に設定され、また同時に、分周器5も上述した動作を繰り返し、特性Bに遷移する。

このようにして特性BによるPLL制御が行なわれても、依然として基準信号の4倍の周波数に対して内部信号の周波数が低いので、制御電圧S4が再び閾値電圧Vref2を越え、選択回路6が上述した動作を繰り返し、特性Aに遷移する。

10 この時点で、電圧制御発振器は基準信号とほぼ同じ周波数を出力している状態で、分周器5の位相もそれに応じた値となっているので、この後、2つの周波数が等しくなり、最終的に特性Aでロックする。

逆に、例えば、現在特性Aにロックしている状態で所望の発振周波数 $f_{osc}$ を $f_1 < f_{osc} < f_2$ にするべく基準信号CK1の周波数を切り替えると、図5に示したように例えば、特性A→特性B→特性C→特性Dに切り替わり、最終的に特性Dにロックする。

図5は、図3に示した電圧制御発振器群4の制信信号S4の電圧に対する発振周波数特性を示す特性図である。

上述したように本形態においては、ループフィルタ3の出力値S4を、閾値電圧Vref1あるいは閾値電圧Vref2の近傍に設定されるが、これは、周波数を大きく変える必要が生じた場合に有効となる。同一バンド内での使用時等、通常は、電圧制御発振器2個分以内の周波数レンジで微調整すればよいが、違うバンドへのジャンプ時等においては、周波数を大きく変える必要が生じるためである。

(第3の実施の形態)

25 図6は、本発明のPLL回路の第3の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図6において、図1に示した構成物と同一の

ものには同一の符号を付して、詳しい説明は省略する。

図6に示すように本形態においては、第1の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、異なる共振周波数をもつ複数の共振回路からなる共振回路群434を設け、複数の共振回路を切り

5 替えることにより、第1の実施の形態にて示したものと同様の効果を得ようとするものである。なお、共振回路は通常、インダクタ及びコンデンサで構成される。

(第4の実施の形態)

図7は、本発明のPLL回路の第4の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示した構成物と同一のものには同一の

10 符号を付して、詳しい説明は省略する。

図7に示すように本形態においては、第2の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、異なる共振周波数をもつ複数の共振回路からなる共振回路群434を設け、複数の共振回路を切り

15 替えることにより、第2の実施の形態にて示したものと同様の効果を得ようとするものである。なお、共振回路は通常、インダクタ及びコンデンサで構成される。

(第5の実施の形態)

図8は、本発明のPLL回路の第5の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示した構成物と同一のものには同一の符号を付して、詳しい説明は省略する。

図8に示すように本形態においては、第1の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、遅延時間が可変できる複数のインバータが連結接続されたリング発振器435を用いたものである。本形態においては、リング発振器435の連結数を切り替えることで周波数を広い範囲で変化させることができる。

【0105】

(第6の実施の形態)

図9は、本発明のPLL回路の第6の実施の形態を適用した4逓倍回路の構成例を示すブロック図である。なお、図1に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。

図9に示すように本実施形態においては、第2の実施の形態にて示したものに  
5 対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、遅延時間が可変できる複数のインバータが連結接続されたリング発振器435を用いたものである。本形態においては、リング発振器435の連結数を切り替えることで周波数を広い範囲で変化させることができる。

なお、上述した6つの実施の形態においては、異なる制御電圧—発振周波数特性を有する4個の電圧制御発振器を含む場合について説明したが、2以上の任意  
10 個数の電圧制御発振器を含む場合について同様に4逓倍回路を構成することもできる。

また、上述した実施の形態では、図4に示したように、制御信号S4の電位の電位が高くなると発振周波数が高くなるような特性の電圧制御発振器を使用した  
15 が、反対の動作特性、つまり制御信号S4の電位の電位が高くなると発振周波数が低くなるような特性の電圧制御発振器を使用することもできる。この場合、閾値電圧Vref1, Vref2をそのまま使用すると、信号S4の電圧が閾値電圧Vref1未満になるとPLLロックする特性が現在の特性より周波数の高い特性に切り替わり、閾値電圧Vref2以上になると周波数の低い特性に切り替わるよう  
20 になる。

また、電圧制御発振器群4を構成する4つの電圧制御発振器のそれぞれにおいて、閾値電圧Vref1, Vref2が全て同一のものとして説明したが、4つの電圧制御発振器毎に閾値電圧Vref1, Vref2が異なることも考えられる。

## 25 産業上の利用可能性

本発明は、異なる制御電圧—発振周波数特性を有する複数個の電圧制御発振器

を使用して、マルチバンド無線機能、即ち複数の周波数帯での送受信機能を実現する移動通信システムに使用するのに好適であって、所望の発振周波数に応じて必要となる電圧制御発振器を短時間で選択することを可能とするPLL回路に関する。

## 請 求 の 範 囲

1. 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

5 互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器と、

前記位相差信号又は前記位相制御信号に基づいて前記複数の発振器の出力のうちの1つを選択するための選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

10 前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。

2. 請求項1に記載のPLL回路において、

前記複数の発振器は、周波数可変範囲が互いに重なり合うことを特徴とするPLL回路。

15 3. 請求項1に記載のPLL回路において、

前記複数の発振器は、動作閾値電圧値が互いに異なることを特徴とするPLL回路。

4. 請求項1乃至3のいずれか1項に記載のPLL回路において、

20 前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記複数の発振器の出力の切り替えを行なうことを特徴とするPLL回路。

5. 請求項1乃至4のいずれか1項に記載のPLL回路において、

前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とするPLL回路。

6. 請求項5に記載のPLL回路において、

25 前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記電圧制御発振器の選択状態が変化する際に、前記位相制御電圧の値を前



記 2 つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする PLL 回路。

7. 請求項 6 に記載の PLL 回路において、

5 前記電圧制御発振器の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする PLL 回路。

8. 請求項 6 に記載の PLL 回路において、

10 前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

9. 請求項 6 に記載の PLL 回路において、

15 前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合であって、前記位相制御電圧が 2 回以上連続して前記 2 つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

10. 請求項 6 に記載の PLL 回路において、

20 前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記 2 つの閾値電圧よりも大きいのか、あるいは前記 2 つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記 2 つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする PLL 回路。

11. 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

25 互いに異なる共振周波数を具備する複数の共振回路と、

前記共振回路と位相制御信号とに従って発振周波数が制御される発振器と、

前記位相差信号又は前記位相制御信号に基づいて前記複数の共振回路のうちの1つを選択するための選択手段と、

前記発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

- 5 前記共振回路の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。

12. 請求項11に記載のPLL回路において、

前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記複数の共振回路の切り替えを行なうことを特徴とするPLL回路。

- 10 13. 請求項11又は請求項12に記載のPLL回路において、

前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とするPLL回路。

14. 請求項13に記載のPLL回路において、

- 15 前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記共振回路の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とするPLL回路。

15. 請求項14に記載のPLL回路において、

- 20 前記共振回路の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とするPLL回路。

16. 請求項14に記載のPLL回路において、

- 25 前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

17. 請求項14に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

18. 請求項14に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とするPLL回路。

19. 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

各々位相制御信号に従って遅延時間が制御される複数の遅延回路が連結されて構成された発振器と、

前記位相差信号又は前記位相制御信号に基づいて前記遅延回路の連結数を切り換える選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。

20. 請求項19に記載のPLL回路において、

前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記遅延回路の連結数の切り替えを行なうことを特徴とするPLL回路。

21. 請求項19又は請求項20に記載のPLL回路において、前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とするPLL回路。

22. 請求項21に記載のPLL回路において、

前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記遅延回路の連結数の選択状態が変化する際に、前記位相制御電圧の値を  
5 前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とするPLL回路。

23. 請求項22に記載のPLL回路において、

前記遅延回路の連結数の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とするPLL回路。

10 24. 請求項22に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

15 25. 請求項22に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の  
20 閾値電圧の近傍に設定することを特徴とするPLL回路。

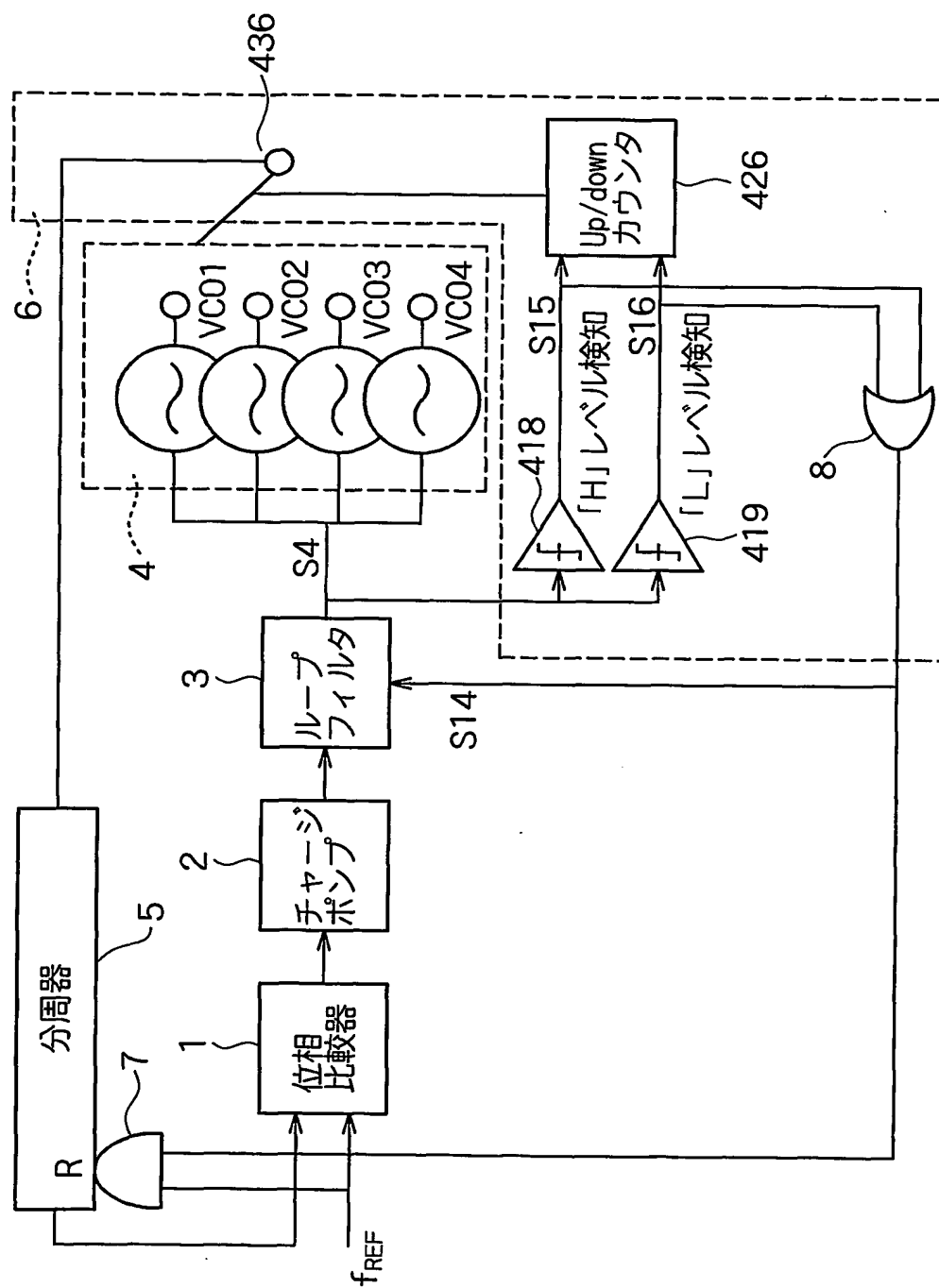
26. 請求項22に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間  
25 電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とするPLL回路。

27. 請求項1乃至26のいずれか1項に記載のPLL回路において、  
前記分周手段の出力位相を、前記基準信号の位相と同期させることを特徴とするPLL回路。

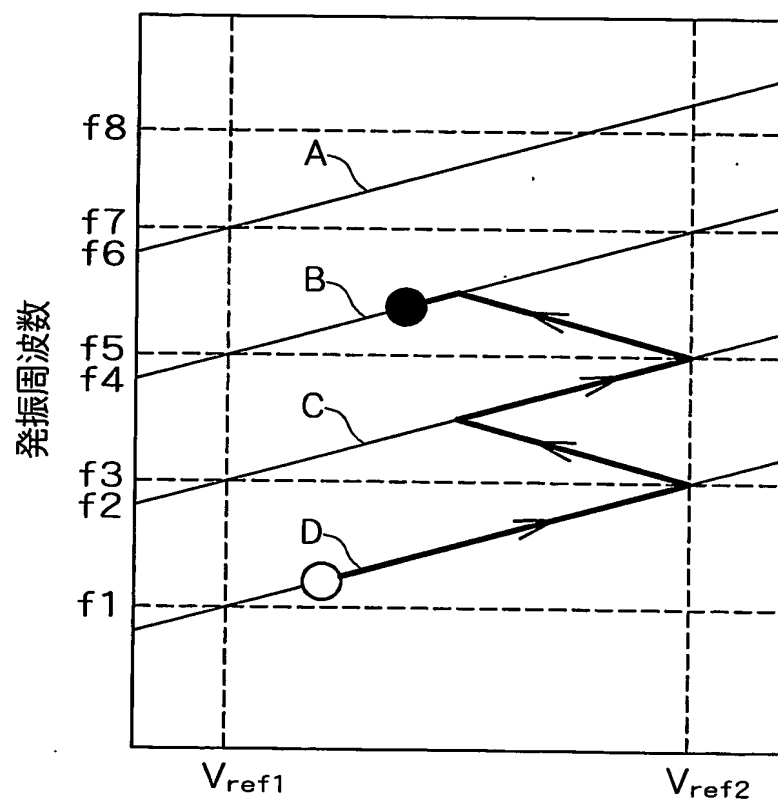
1 / 12

第1図



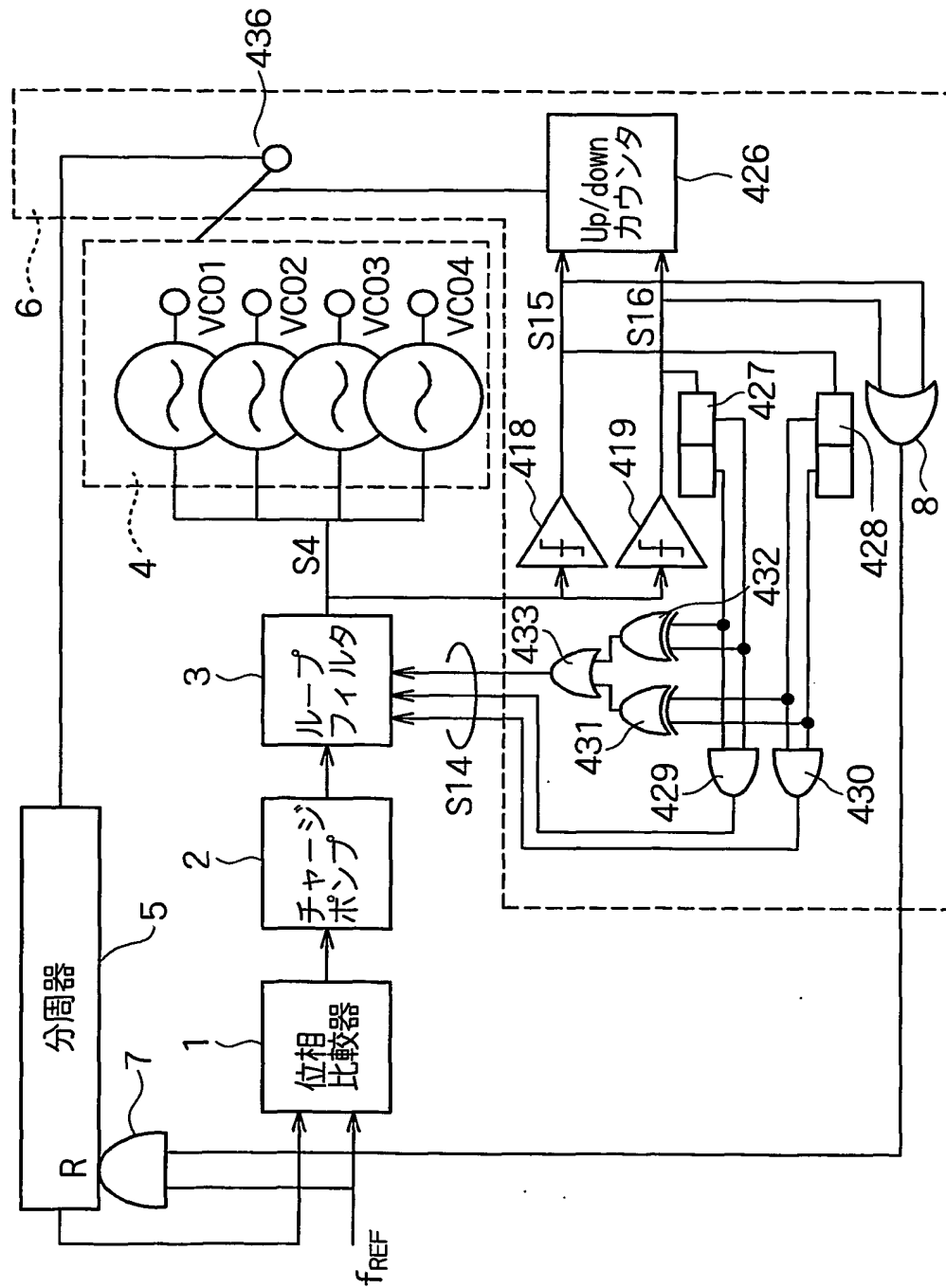
2/12

## 第2図



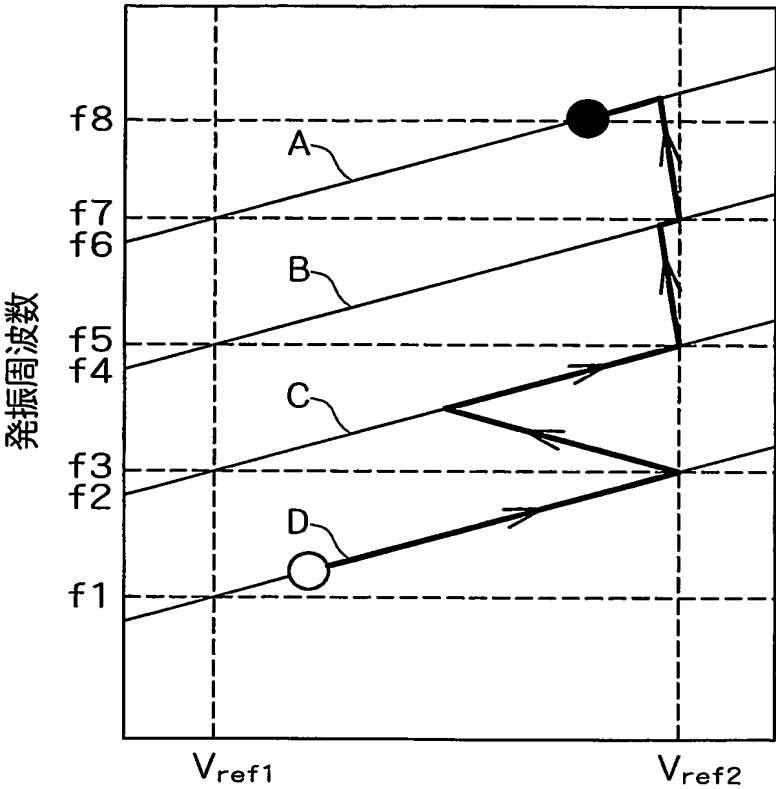
3 / 12

第3図



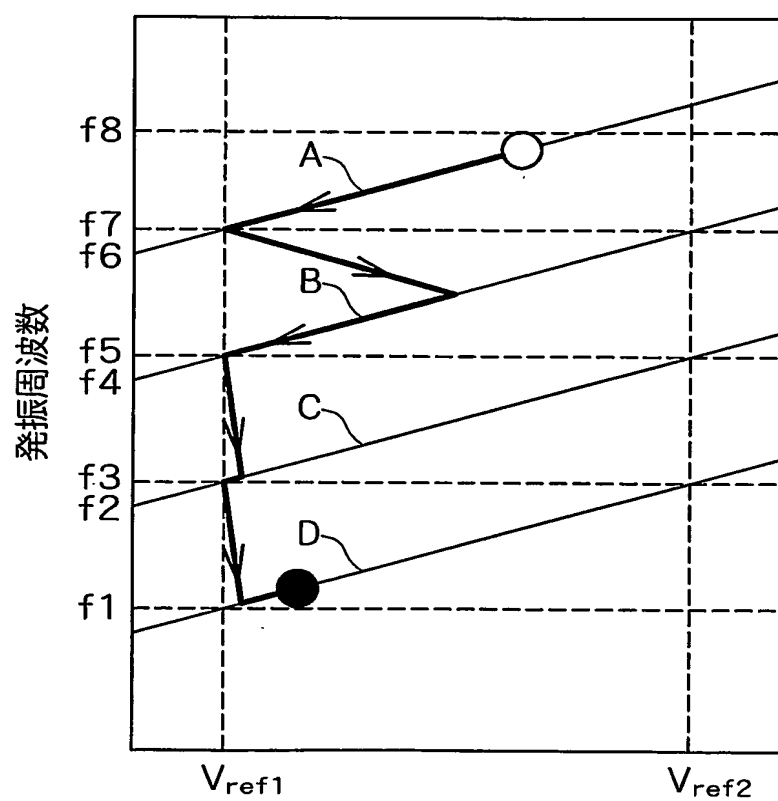


第 4 図



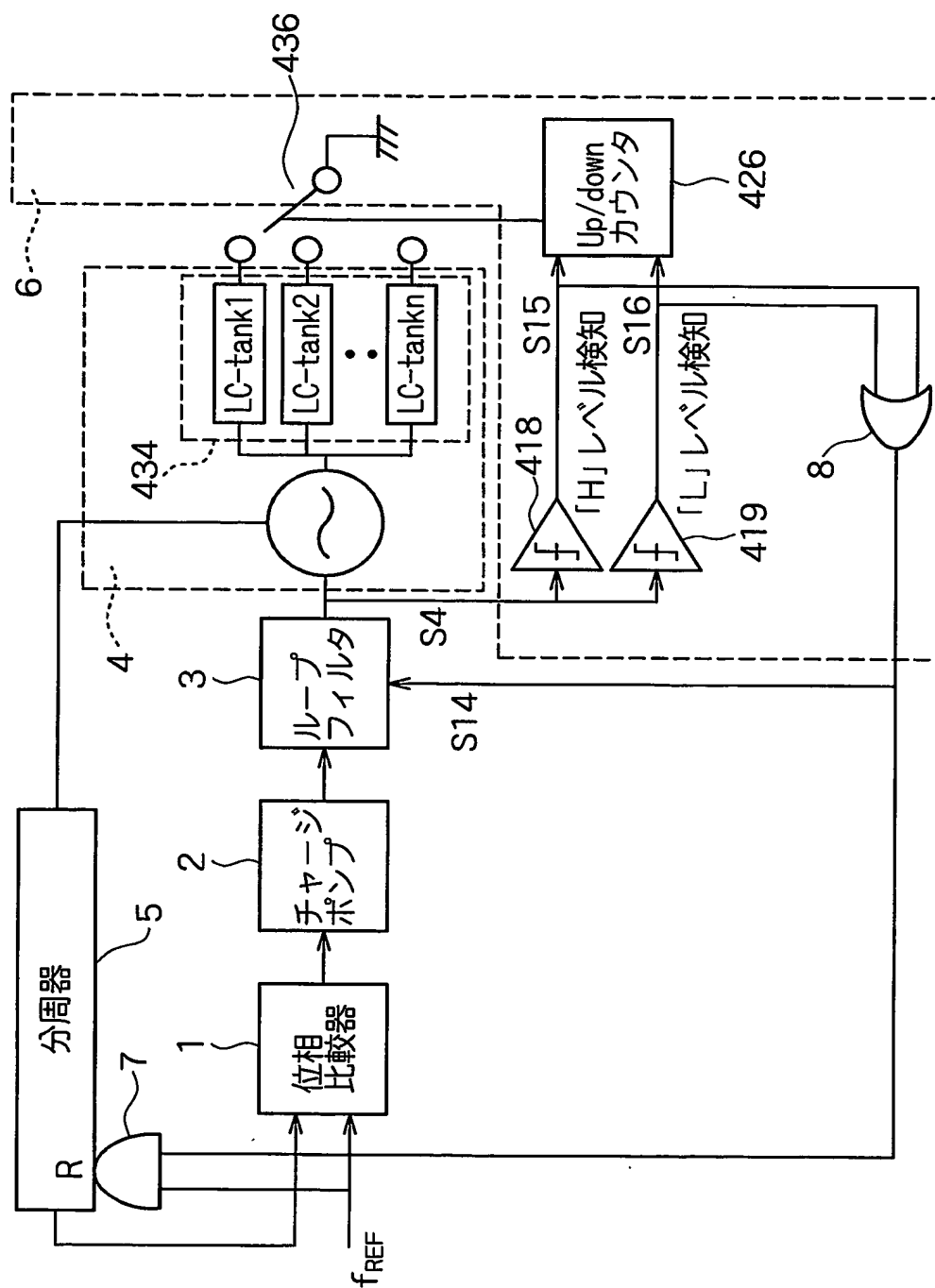
5/12

## 第5図



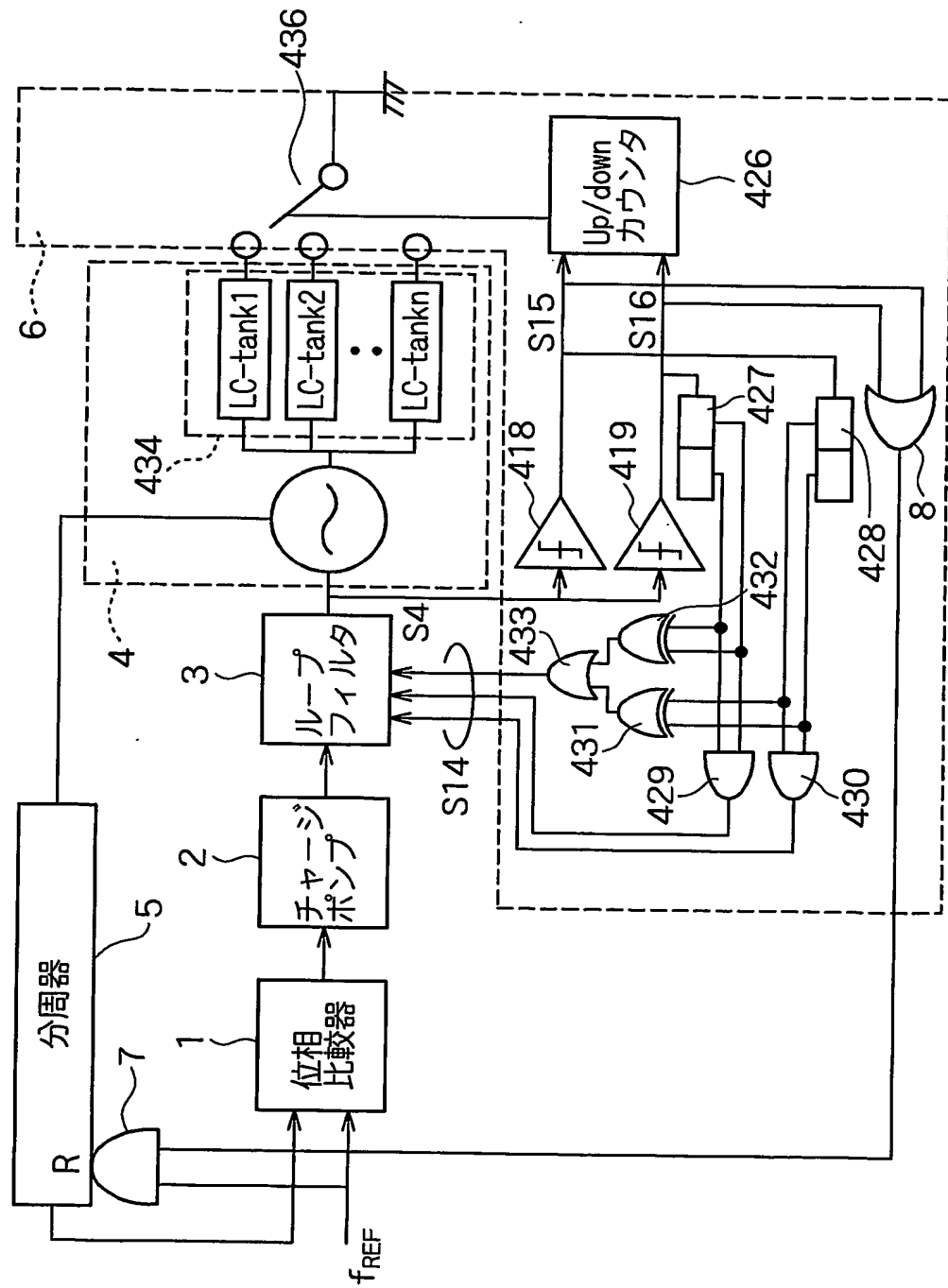
6 / 12

第6図



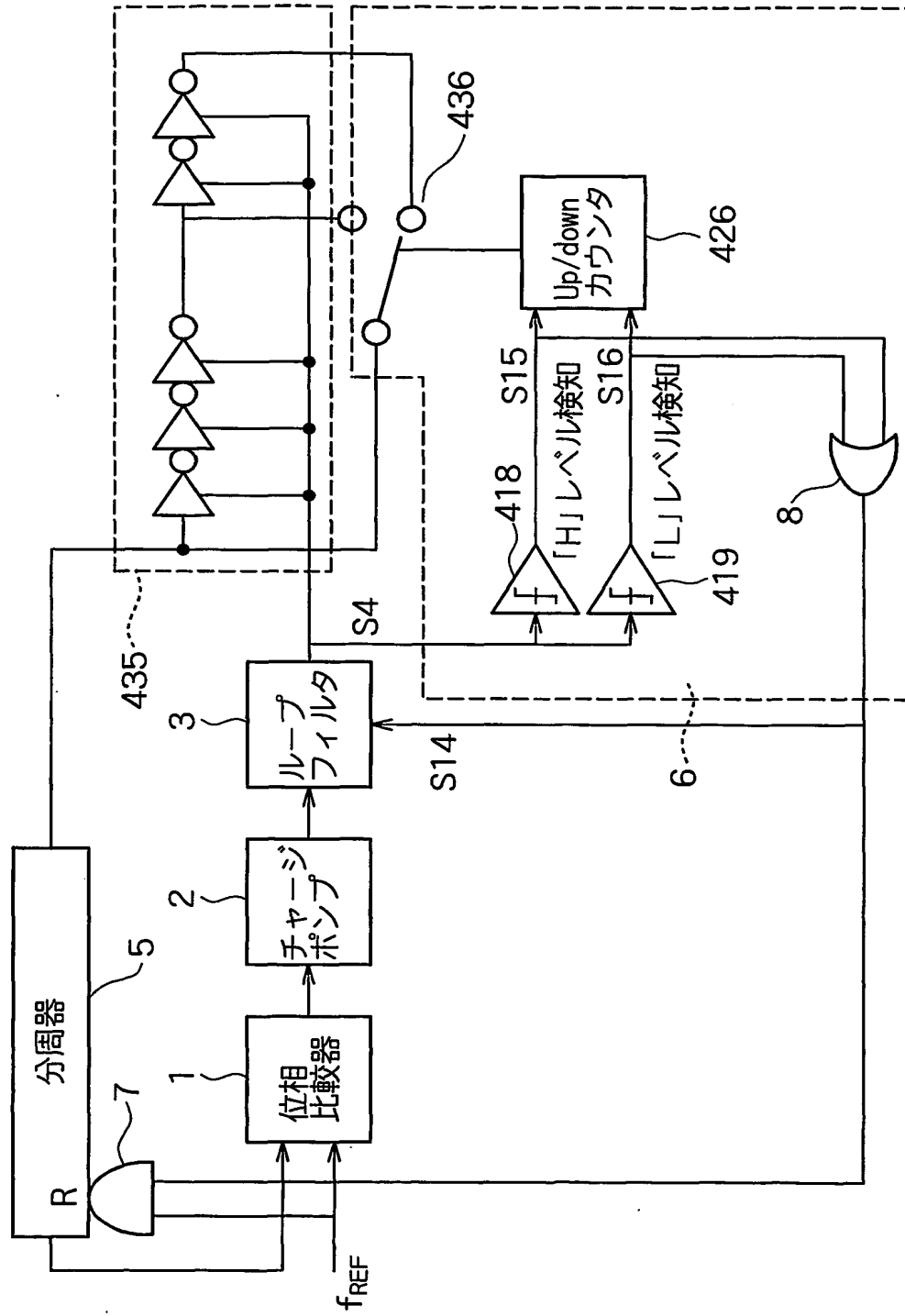
7/12

第7図



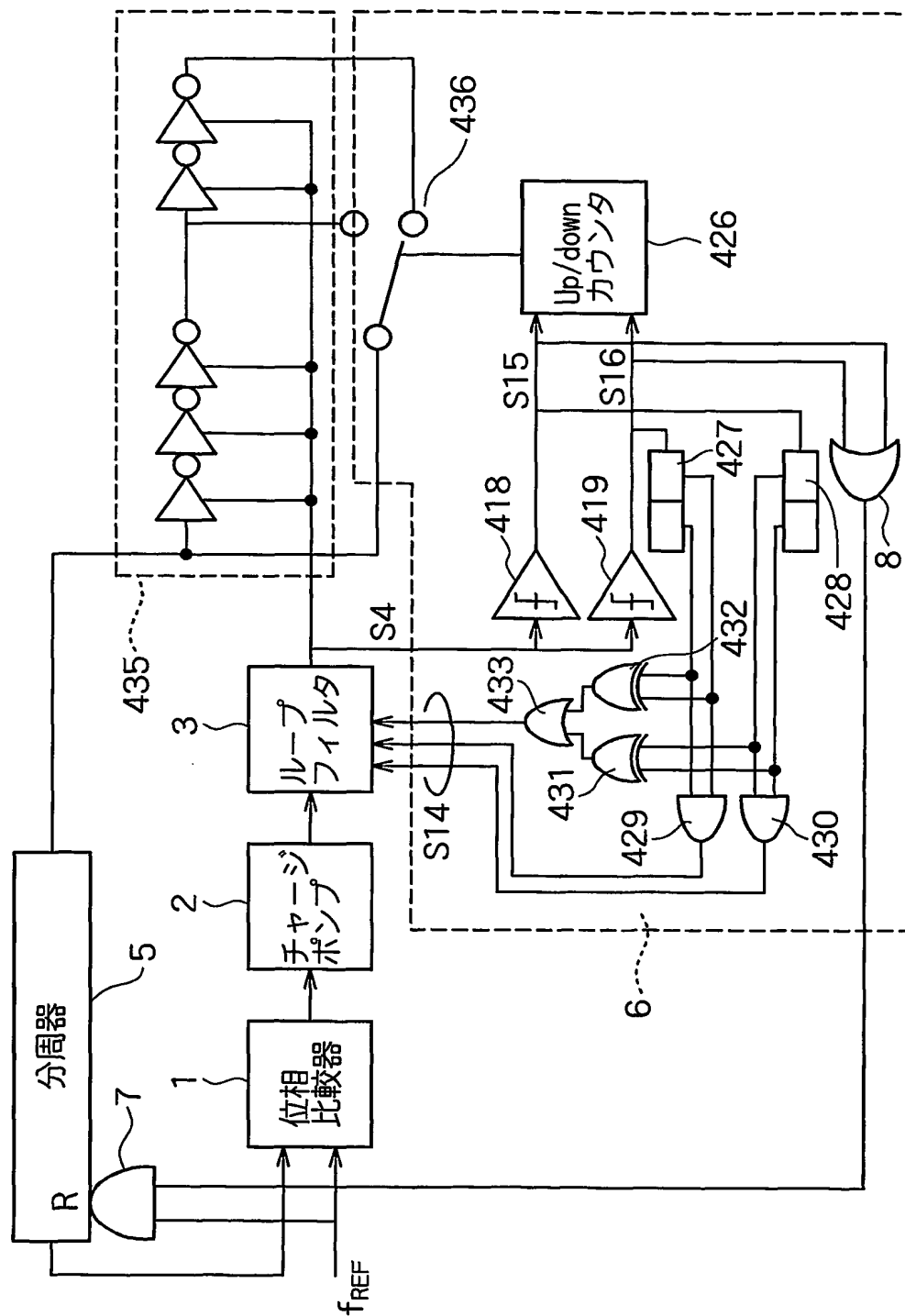
8 / 12

第8図



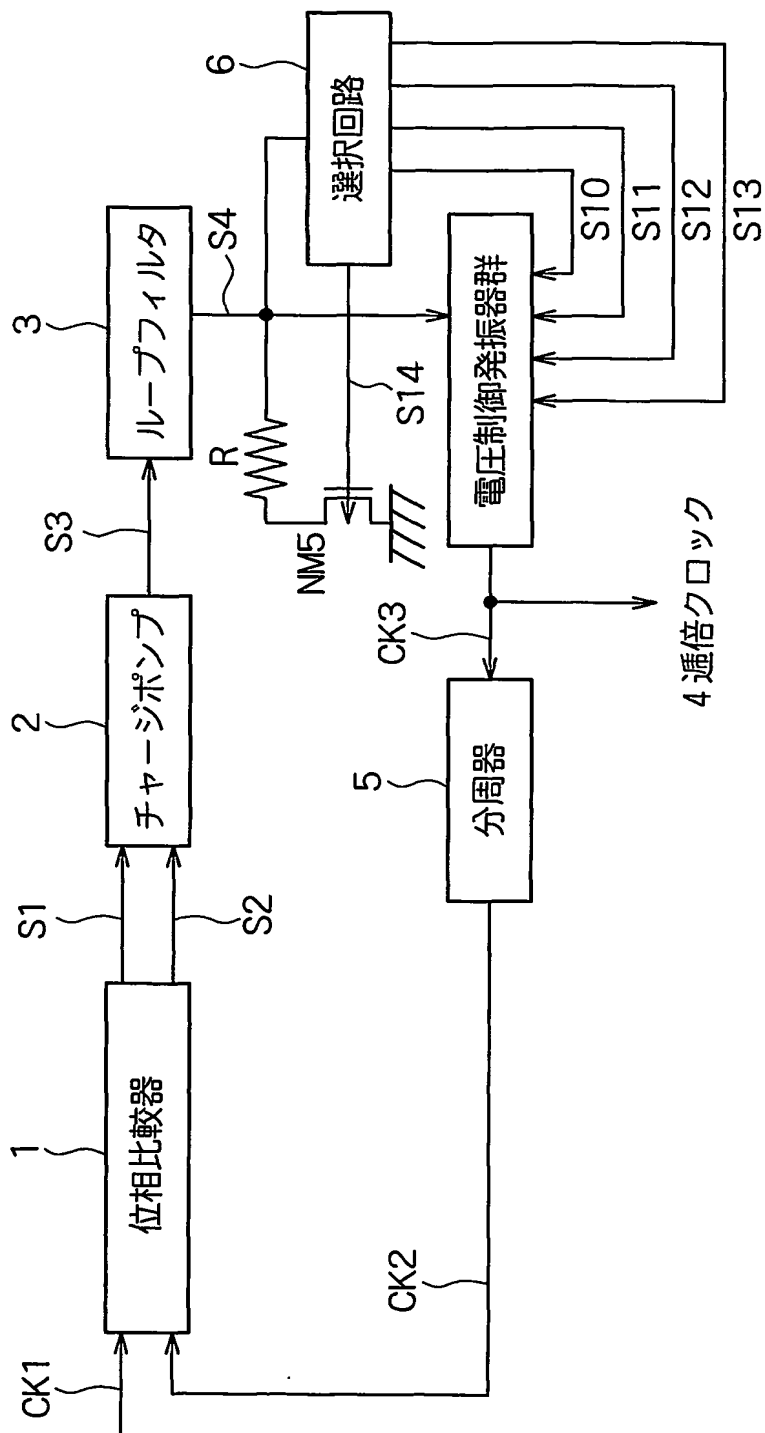
9/12

第9図

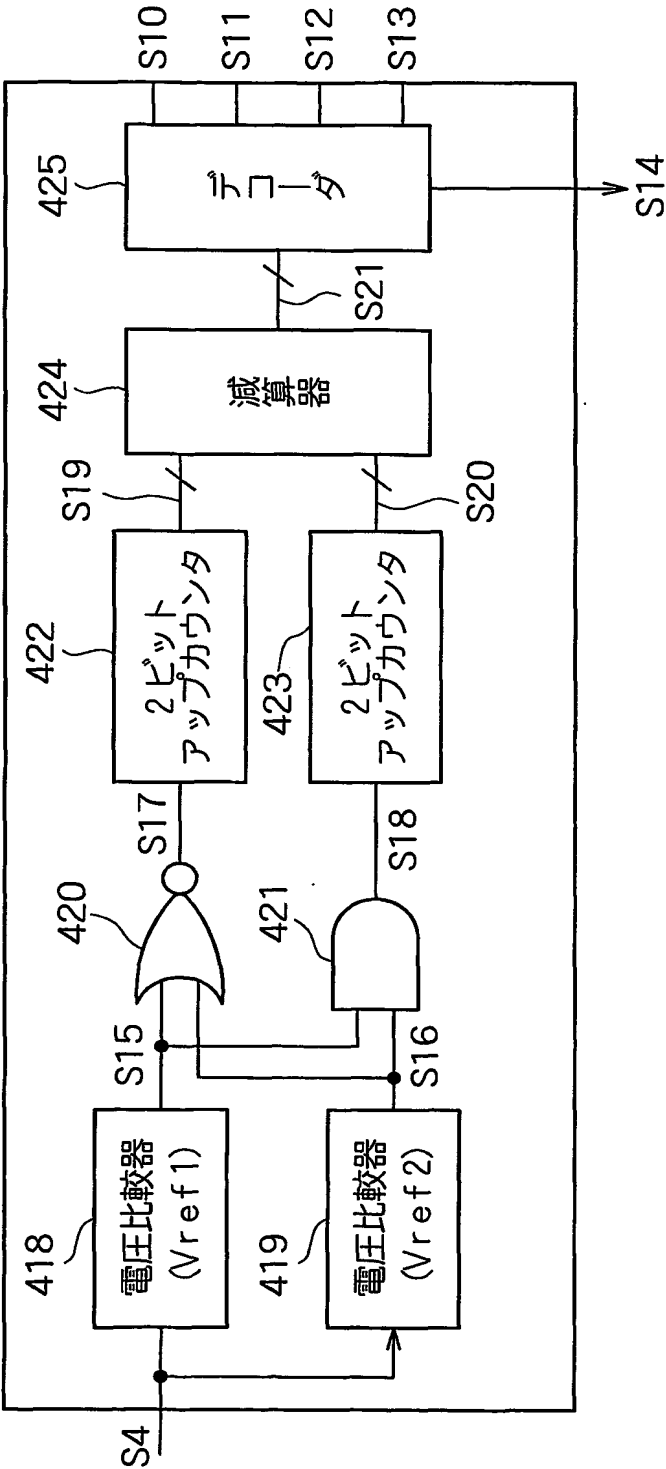


10/12

## 第10図



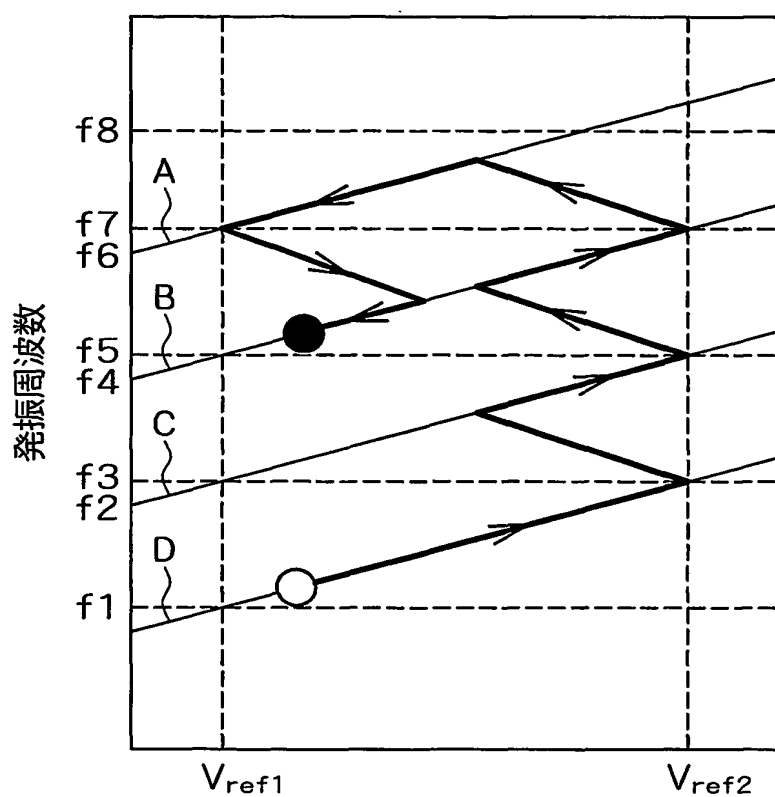
第11図





12/12

## 第 1 2 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14887

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03L7/10, 7/199, 7/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03L7/06-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 07-336556 A (Fujitsu General Ltd.), 22 December, 1995 (22.12.95), Page 6, right column, line 29 to page 7, left column, line 13; Fig. 1 (Family: none)	1-10, 27
A	JP 05-300470 A (Fujitsu General Ltd.), 12 November, 1993 (12.11.93), Page 3, left column, line 2 to right column, line 17; Fig. 1 (Family: none)	1-27
A	JP 2002-261607 A (Sanyo Electric Co., Ltd.), 13 September, 2002 (13.09.02), Page 3, right column, line 45 to page 6, left column, line 8; Fig. 1 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not  
 considered to be of particular relevance  
 "E" earlier document but published on or after the international filing  
 date  
 "L" document which may throw doubts on priority claim(s) or which is  
 cited to establish the publication date of another citation or other  
 special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other  
 means  
 "P" document published prior to the international filing date but later  
 than the priority date claimed

"T" later document published after the international filing date or  
 priority date and not in conflict with the application but cited to  
 understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be  
 considered novel or cannot be considered to involve an inventive  
 step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be  
 considered to involve an inventive step when the document is  
 combined with one or more other such documents, such  
 combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
18 February, 2004 (18.02.04)Date of mailing of the international search report  
02 March, 2004 (02.03.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14887

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 06-104748 A (Matsushita Electric Industrial Co., Ltd.), 15 April, 1994 (15.04.94), Page 4, right column, line 16 to page 7, left column, line 28; Figs. 1, 8 & US 5389898 A	1-10, 19-26
A	JP 08-107351 A (Asahi Kasei Microsystems Co., Ltd.), 23 April, 1996 (23.04.96), Page 3, right column, line 39 to page 6, left column, line 43; Fig. 1 (Family: none)	19-26

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> H03L 7/10, 7/199, 7/18

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> H03L 7/06-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 07-336556 A (株式会社富士通ゼネラル) 1995. 12. 22, 第6頁右欄第29行-第7頁左欄第13 行, 第1図 (ファミリーなし)	1-10, 27
A	J P 05-300470 A (株式会社富士通ゼネラル) 1993. 11. 12, 第3頁左欄第2行-第3頁右欄第17行, 第1図 (ファミリーなし)	1-27

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

18. 02. 04

国際調査報告の発送日

02. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

5W 9750

電話番号 03-3581-1101 内線 3575

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2002-261607 A (三洋電機株式会社) 2002.09.13, 第3頁右欄第45行-第6頁左欄第8行, 第1図 (ファミリーなし)	1-10
A	J P 06-104748 A (松下電器産業株式会社) 1994.04.15, 第4頁右欄第16行-第7頁左欄第28 行, 第1図, 第8図 & US 5389898 A	1-10, 19-26
A	J P 08-107351 A (旭化成マイクロシステム株式会 社) 1996.04.23, 第3頁右欄第39行-第6頁左欄第43 行, 第1図 (ファミリーなし)	19-26